

■ (네이버 후원) 2016년도 학생논문 경진대회 수상작

비대칭 멀티코어 시스템 상의 HEVC 병렬 디코딩 최적화를 위한 타일 분할 기법 (Tile Partitioning-based HEVC Parallel Decoding Optimization for Asymmetric Multicore Processor)

류 영 일 [†] 노 현 준 [†] 류 은 석 ^{**}
(Yeongil Ryu) (Hyun-Joon Roh) (Eun-Seok Ryu)

요약 최근 비디오 시스템은 초고해상도 영상의 사용으로 병렬처리의 필요성이 대두되고 있고, 시스템은 ARM big.LITTLE 같은 비대칭 처리능력을 지닌 컴퓨팅 시스템이 도입되고 있다. 따라서, 이 같은 비대칭 컴퓨팅 환경에 최적화된 초고해상도 UHD 비디오 병렬처리 기법이 필요한 시점이다. 본 논문은 인코딩/디코딩 시에 비대칭 컴퓨팅 환경에 최적화 된 HEVC 타일(Tile) 분할 기법을 제안한다. 제안하는 방식은 (1) 비대칭 CPU 코어들의 처리능력과 (2) 비디오 크기별 연산 복잡도 분석 모델을 분석하여, (3) 각 코어에 최적화된 크기의 타일을 할당함으로써, 처리속도가 빠른 CPU 코어와 느린 코어의 인코딩/디코딩 시간차를 최소화한다. 이를 ARM기반의 비대칭 멀티코어 플랫폼에서 4K UHD 표준 영상을 대상으로 실험하였을 때, 평균 약 20%의 디코딩 시간 개선이 발생함을 확인하였다.

키워드: HEVC, 병렬처리, 비대칭 멀티코어, 타일

Abstract Recently, there is an emerging need for parallel UHD video processing, and the usage of computing systems that have an asymmetric processor such as ARM big.LITTLE is actively increasing. Thus, a new parallel UHD video processing method that is optimized for the asymmetric multicore systems is needed. This paper proposes a novel HEVC tile partitioning method for parallel processing by analyzing the computational power of asymmetric multicores. The proposed method analyzes (1) the computing power of asymmetric multicores and (2) the regression model of computational complexity per video resolution. Finally, the model (3) determines the optimal HEVC tile resolution for each core and partitions/allocates the tiles to suitable cores. The proposed method minimizes the gap in the decoding time between the fastest CPU core and the slowest CPU core. Experimental results with the 4K UHD official test sequences show average 20% improvement in the decoding speedup on the ARM asymmetric multicore system.

Keywords: HEVC, parallel processing, asymmetric multicores, tile

· 이 논문은 2016년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. NRF-2015R1C1A1A02037743)

[†] 학생회원 : 가천대학교 컴퓨터공학
wlrmlrm99@gc.gachon.ac.kr
ggyo@gc.gachon.ac.kr

^{**} 종신회원 : 가천대학교 컴퓨터공학 조교수(Gachon Univ.)
esryu@gachon.ac.kr
(Corresponding author임)

논문접수 : 2016년 5월 17일
(Received 17 May 2016)
논문수정 : 2016년 7월 1일
(Revised 1 July 2016)
심사완료 : 2016년 7월 4일
(Accepted 4 July 2016)

Copyright©2016 한국정보과학회 : 개인 목적이거나 교육 목적인 경우, 이 저작물의 전체 또는 일부에 대한 복사본 혹은 디지털 사본의 제작을 허가합니다. 이 때, 사본은 상업적 수단으로 사용할 수 없으며 첫 페이지에 본 문구와 출처를 반드시 명시해야 합니다. 이 외의 목적으로 복제, 배포, 출판, 전송 등 모든 유형의 사용행위를 하는 경우에 대하여는 사전에 허가를 얻고 비용을 지불해야 합니다.
정보과학회논문지 제43권 제9호(2016. 9)

1. 서론

최근 4K, 8K와 같은 UHD(Ultra High-Definition) 영상 콘텐츠 및 지원 기기들의 보급이 활발하게 진행되고 있다. 우리나라는 2018년 평창올림픽의 중계 방송을 지상파 4K UHD 상용 서비스, 유료방송 8K 시범서비스를 제공하고자 계획하고 있으며, 일본은 2020년 동경 올림픽 8K UHD 중계를 목표로 하고 있다. 4K, 8K 영상은 기존에 활발히 보급되었던 FHD(Full High-Definition)영상에 비하여 각각 4배, 16배 해상도(Resolution)을 갖는 영상들이기 때문에 기존의 것들을 뛰어넘는 새로운 비디오 부호화 기술에 대한 요구가 증가하게 되었다. 이러한 흐름에 맞춰 ITU-T VCEG(Video Coding Experts Group)과 ISO/IEC MPEG(Moving Picture Experts Group)이 공동으로 조직한 JCT-VC(Joint Collaborative Team on Video Coding)는 2013년에 차세대 비디오 부호화 기술인 HEVC(High Efficiency Video Coding)를 표준화 하였다.

한편, 사회적 정보통신 인프라의 발달로 비디오 스트리밍(Video streaming) 기술 역시 크게 변화하고 있다. 기존의 통신 및 방송 사업자와 더불어 제 3사업자들이 인터넷을 통해 미디어 콘텐츠 서비스를 제공하는 글로벌 OTT(Over-The-Top) 스트리밍 업체 중 하나인 넷플릭스(Netflix)는 올해 IDC(Internet Data Center)에 존재하던 데이터를 모두 클라우드 시스템(Cloud System)으로 7년에 걸쳐 이전 완료하였다. 클라우드 시스템의 서비스 가용성과 확장성이 뛰어나기 때문에 넷플릭스 뿐만 아니라 다른 OTT 스트리밍 업체들도 클라우드 시스템으로 점차 이전할 것으로 전망된다. 하지만 한번 구축된 클라우드 시스템은 시간이 흐름에 따라 점차 높은 성능을 발휘하는 새로운 하드웨어를 추가 및 확장하며, 비대칭적 성능을 발휘하는 하드웨어들로 이뤄진 시스템으로 변할 수밖에 없으므로, 클라우드 환경에서의 MPEG DASH(Dynamic Adaptive Streaming over HTTP) 서버는 비대칭적 성능의 CPU들로 비디오 트랜스코딩(Transcoding) 작업을 진행하게 될 것으로 본다.

위의 경우는 비대칭적 처리능력을 갖는 CPU들의 경우지만, 최근 ARM계열 CPU에는 처리해야 할 작업량에 따라서 각각 서로 다른 처리능력을 갖는 Big코어와 Little코어에 작업을 효율적으로 할당해 전력 낭비를 줄이고, 성능을 향상시키는 big.LITTLE 기술이 적용되고 있으며, 그림 1은 big.LITTLE 기술이 적용된 비대칭 멀티코어 CPU의 개념적 구성도이다[1]. 서로 다른 성능을 갖는 하드웨어로 구성된 시스템에서는 특정 스레드(Thread)를 어느 코어에 할당해야 하는지 결정하고, 멀티미디어 응용 서비스 제공 시 연산 복잡도(Computational

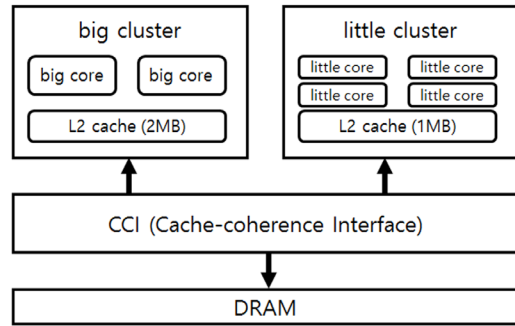


그림 1 big.LITTLE 구조의 비대칭 멀티코어 CPU
Fig. 1 An example of an asymmetric multicore using big.LITTLE

Complexity)가 서로 다른 비디오 처리 작업을 최적의 비대칭 코어에 할당하는 기법이 필요하다. 본 연구는 이처럼 증가하고 있는 비대칭적 컴퓨팅 환경에서의 비디오 인코딩/디코딩 작업을 최적화하기 위해 타일(Tile)을 이용한 새로운 병렬처리 방식을 제안한다.

2. 관련연구

2.1 JCT-VC HEVC 비디오 표준

HEVC는 ITU-T VCEG과 ISO/IEC MPEG이 공동으로 조직한 JCT-VC에서 2013년에 표준화한 최신 비디오 부호화 표준이다. HEVC는 기존의 주요 비디오 부호화 표준들과 유사하게 블록 기반의 비디오 부호화 방식을 사용하지만, 4K, 8K 비디오와 같은 고해상도 UHD 영상을 지원하기 위하여 향상된 비디오 압축 기술을 제공한다. HEVC는 기존 H.264/AVC 비디오 표준에 비하여 대형화면 기준 약 50% 향상된 압축효율을 내며, 다음과 같이 크게 두 가지의 새로운 병렬처리 틀이 추가되었다[2].

- (1) 타일: 프레임을 하나 이상의 사각형 영역으로 분할하여, 각 영역을 독립적으로 인코딩 및 디코딩을 수행하는 신택스(Syntax)이다. 타일은 각 스레드(Thread) 간의 복잡한 동기화 이슈 없이 병렬처리가 가능하며 슬라이스 기법에 비해 압축효율이 조금 높으며, 그림 2는 6개의 타일로 분할된 비디오 프레임의 예시이다.

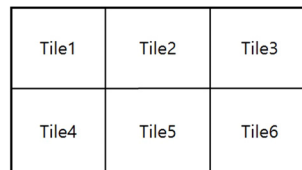


그림 2 타일로 분할된 프레임의 예시
Fig. 2 An example of a frame partitioned into tiles

(2) WPP(Wavefront Parallel Processing): 프레임을 구성하는 CTU(Coding Tree Unit) 블록들이 행(Row) 단위로 병렬처리가 가능하도록 정의된 신택스이다. 현재 CTU행의 CTU 두 개가 처리된 뒤에 다음 행의 CTU들이 곧바로 처리될 수 있도록 하였는데, 이는 화면내압축(Intra-Picture Coding)의 각 CU(Coding Unit) 처리 시, 화면의 상단과 좌측의 코딩 정보를 이용하는 점을 고려하였기 때문이다. 그림 3은 2개 CTU 만큼의 딜레이(Delay)를 두고, 여러 개의 스레드가 각 CTU행을 병렬처리하는 예를 보여준다.

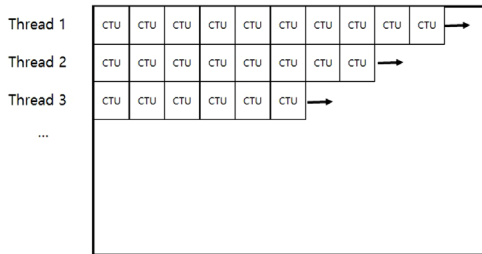


그림 3 Wavefront Parallel Processing의 예시
Fig. 3 An example of wavefront parallel processing

2.2 영상 프레임 디코딩 연산 복잡도 예측 기술

영상 프레임의 디코딩 연산 복잡도에 영향을 미치는 요소들은 비디오 픽처 해상도와 양자화계수(QP)와 같은 직관적인 것들부터, 예측 모드, PU 블록 분할 횟수 등의 활용 가능한 여러 조건들이 있다[3]. 오늘날 이러한 요소들로부터 디코딩 연산 복잡도를 예측하여 전력 소모량 및 디코딩 타임을 최적화하는 다음과 같은 연구들이 활발히 진행 중이다.

(1) 프레임 디코딩 복잡도 예측을 통한 전력소모 감소에 관한 연구[4]

비디오 디코딩 시 높은 연산 복잡도를 지닌 프레임은 CPU 클럭을 높게 설정하여 처리하고, 낮은 연산 복잡도를 지닌 프레임은 CPU 클럭을 낮게 설정하여 처리하여 비디오 디코딩 시의 에너지 소비를 최소화하고자 하는 연구이다. 프레임의 예측 모드에 따라 프레임의 연산 복잡도를 다르게 계산하고, 인접한 다른 프레임들의 데이터들을 참조하여 예측 정확도를 높인 것이 특징이다. 하지만 전력 소모량을 최소화한다는 것은 의미가 있지만, 디코딩 타임을 최적화하거나, 멀티코어 환경에서의 병렬처리에 대하여 고려하지 않았다는 아쉬움이 있다.

(2) 인코딩된 CTU별 비트 수에 기반한 타일 분할 알고리즘[5]

비디오 디코딩 시 인코딩된 각 CTU당 비트 수에 기반하여 연산 복잡도를 계산하는 방식의 연구이다. 이는 비디오 디코딩 프로파일링 결과 엔트로피 코딩(CABAC)이 차지하는 부분이 크고, 인코딩된 비트 수는 결국 비디오

프로세싱을 할 정보량이 많다는 의미를 가지기 때문에 전통적으로 쉽게 복잡도를 예측하는 기법으로 활용되어 왔다. 해당 연구는 비디오 디코딩 시 인코딩된 프레임을 구성하는 각 CTU들의 비트 수를 계산하여 비트 수가 작아 연산 복잡도가 낮은 구역은 그렇지 않은 구역에 비해 크기가 크도록 타일로 분할하고, 비트 수가 커 연산 복잡도가 높은 구역은 작은 크기의 타일로 비 균등하게 분할하여, 병렬처리 시 각 타일 별 디코딩 타임의 차이를 최소화시키는 연구이다. 해당 연구는 본 연구와 어느 정도 유사한 점이 있으나, 복잡도를 예측하는 방법과 CPU 및 코어가 비대칭적인 처리능력을 갖는 비대칭 멀티코어 환경을 고려하지 않았다는 두 가지 차이가 존재한다.

(3) HEVC 화면 크기 별 비디오 디코딩 복잡도에 관한 분석[6]

이 연구는 프레임을 균등한 크기의 타일로 분할하여 병렬처리 하는 것이 아니라, 각 CPU 코어의 처리능력에 기반하여 적절한 연산 복잡도를 갖는 타일이 각 코어에 할당될 수 있도록 하는 본 연구를 위한 사전 연구이다. 해당 연구는 영상의 해상도와 비디오 디코딩 연산 복잡도 사이의 상관관계를 다중회귀분석을 통해 의미 있는 상관성을 발견하였고, 이를 모델화 하였다. 본 논문은 해당 사전연구를 기반으로 실제 비대칭 멀티코어 환경에서 영상을 인코딩/디코딩하여 제안하는 기법의 타당성을 증명하였다.

3. 제안하는 각 코어의 처리능력 기반 비균등 타일 분할 알고리즘

3.1 Motivation: 균등(Uniform) 타일 분할 방식의 문제점

그림 4는 그림 5(a)와 같이 프레임을 균등하게 6개의 타일로 분할한 PeopleOnStreet 시퀀스의 타일 별 평균 디코딩 시간을 보여주는 그래프이다. 그림 4에서 볼 수 있듯이 비대칭 멀티코어 환경에서 균등하게 분할된 타일을 활용하여 비디오 병렬 디코딩을 진행하면, Big core에서

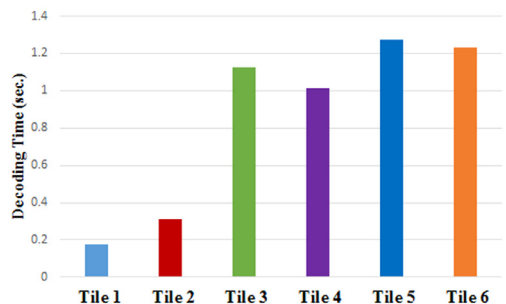


그림 4 균등한 6개의 타일로 분할된 PeopleOnStreet의 타일 별 평균 디코딩 타임

Fig. 4 Average decoding time of uniformly partitioned tiles in PeopleOnStreet



(a) 균등한 크기의 타일 분할



(b) 각 코어의 처리능력을 고려한 타일 분할

그림 5 서로 다른 방법으로 6개의 타일로 분할된 People On Street의 모습

Fig. 5 Examples of (a) uniformly partitioned tiles and (b) tiles partitioned by considering performances of asymmetric cores

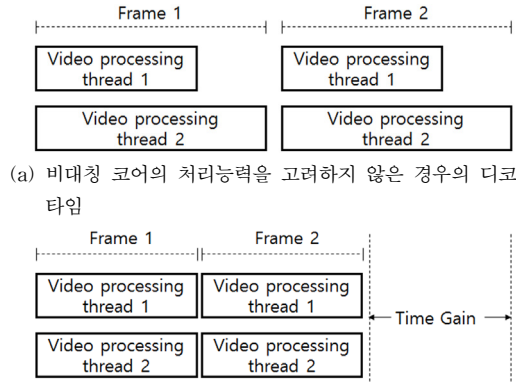
디코딩이 진행된 타일 1, 2와 Little core에서 디코딩이 진행된 타일 3, 4, 5, 6의 평균 디코딩 타임이 균등한 것이 아니라 상당한 차이가 발생하게 된다. 이는 각 타일의 디코딩 타임이 해당 타일 각각의 연산 복잡도와 쓰레드가 할당된 CPU 코어의 처리능력에 영향을 받기 때문이다.

이와 같은 현상은 디코딩 타임이 가장 짧은 타일이 먼저 디코딩 완료되어도 디코딩 타임이 가장 긴 타일의 디코딩이 완료되기를 기다려야 하는 상황을 발생시키며, 병렬처리 효율을 저하시키게 된다.

3.2 Proposed Method: 비대칭 멀티코어 환경에서의 CPU 코어 처리능력 최적화 타일 분할

본 연구가 제안하는 타일 분할 방식은 사전 연구[5]를 통하여 산출된 영상의 해상도와 비디오 디코딩 연산 복잡도 사이의 상관관계를 나타내는 다중회귀분석 모델을 활용하여 다음과 같이 진행한다. 그림 5(b)와 같이 Big 코어와 Little코어의 성능 비에 기반 하여 각 코어에 할당할 타일의 디코딩 연산 복잡도 비를 산출하고, 해당 연산 복잡도 비율에 매핑(Mapping)되는 크기의 타일을 각 코어에 할당한다.

이와 같은 방식으로 타일을 분할하면 그림 5(b)와 같은 형태로 타일이 비 균등하게 분할되며, 그림 5(b)의 경우, 크기가 큰 2개의 타일은 2개의 Big 코어에 각각 할당하고,



(a) 비대칭 코어의 처리능력을 고려하지 않은 경우의 디코딩 타임

(b) 코어의 처리능력 기반 타일분할 방식을 적용한 경우의 디코딩 타임

그림 6 균등 타일 분할과 제안하는 타일 분할 방식의 비교
Fig. 6 Decoding times of (a) uniform tile partitioning and (b) non-uniform tile partitioning based on the performances of each asymmetric core

크기가 작은 4개의 타일은 4개의 Little 코어에 각각 할당하면, 모든 타일의 디코딩 타임이 거의 비슷하게 평균화되기 때문에 CPU 코어들의 성능을 고려하지 않고 균등하게 타일을 분할하였을 때보다 병렬처리 효율이 향상된다. 그림 6은 각 타일 간의 디코딩 타임 평균화로 인한 병렬처리 효율 향상의 예시를 보여주며, 그림 7은 위 모든 과정을 나타낸다.

4. 실험환경 구축 및 실험 결과

본 연구에서는 비대칭 멀티코어 시스템 상의 HEVC 병렬 디코딩 최적화 실험을 비대칭 멀티코어 플랫폼인 Juno ARM Development Platform 상에서 HM15.0(HEVC Reference Software)을 활용하여 진행하였다. 표 1은 실험을 진행한 Juno ARM Development Platform의 하드웨어 사양 명세이다.

실험을 진행하였던 테스트 시퀀스는 비디오 표준화 단체의 공식 UHD영상인 PeopleOnStreet와 Traffic이며, 각 해상도는 3840×2160, 3840×2048, 각 프레임 길이는 150 프레임, 300 프레임이다. 각 테스트 시퀀스들의 코딩 옵션(Coding options)을 표 2에 나타내었다.

표 1 비대칭 코어 CPU를 가진 ARM 장비의 실험 환경
Table 1 Experimental environments

big cluster	Cortex-A57 r0p0
LITTLE cluster	Cortex-A53 r0p0
Number of Cores	2 Big cores (1.1GHz) 4 Little cores (850MHz)
Memory	8GB DDR RAM

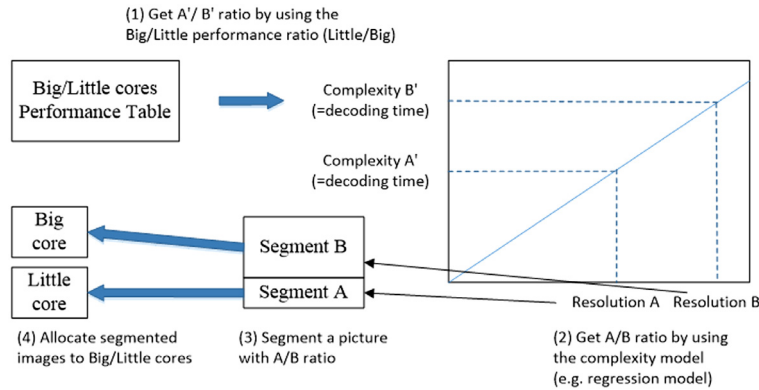


그림 7 제안하는 비대칭 코어 처리능력 기반 타일 분할 방식
 Fig. 7 Proposed tile partitioning method based on the performance of asymmetric cores

표 2 테스트 시퀀스 코딩 옵션
 Table 2 Coding options for test sequences

Coding Option	Parameter
Coding Structure	RA (Random Access) AI (All Intra) LDB (Low-Delay B)
QP	22, 27, 32, 37
Number of Tiles	6 (3×2)

표 3 실험 결과
 Table 3 Test Results

Test Sequence	QP	Decoding Time Gain (%)		
		RA	AI	LDB
PeopleOnStreet	22	28.11	25.81	21.80
	27	19.05	9.20	11.77
	32	17.83	14.31	7.43
	37	7.45	12.53	11.98
Traffic	22	19.55	20.74	23.35
	27	22.31	21.20	19.24
	32	25.06	16.67	19.69
	37	24.72	28.11	23.20

표 3에서 볼 수 있듯이 PeopleOnStreet은 약 7%~28% 디코딩 타임이 향상되었고, Traffic은 약 17%~28% 향상되었다.

5. 결론

본 연구는 비대칭 멀티코어 시스템 상에서 HEVC 병렬 디코딩 최적화를 위하여, 각 CPU 코어 각각의 처리 능력에 적합한 디코딩 연산 복잡도를 갖는 크기로 타일들을 분할하여 해당 코어에 할당하는 방식을 제안하였다. 그리고 기존 방식인 각 코어의 처리능력을 고려하지 않고 균등한 크기의 타일로 프레임들을 분할하는 방식과

비교 실험하였을 때, 약 7%~28%의 디코딩 타임 향상이 발생함을 확인하였다.

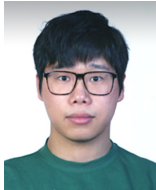
본 연구의 디코딩 타임 향상 결과가 약 7%에서 28%까지의 차이를 갖는 이유는 영상 디코딩 복잡도의 영향을 주는 요소 중 영상의 해상도만을 고려하였기 때문이며, 향후 PU 분할 횟수와 현재 CPU 코어들의 가용성 등 디코딩 타임에 영향을 주는 요소들을 확인하여 회귀 분석 모델에 추가해 실험결과를 더욱 상향평준화시킬 수 있을 것으로 판단된다.

References

- [1] S. Yoo, Y. Shim, S. Lee, S.-A. Lee, and J. Kim, "A case for bad big.LITTLE switching: How to scale power-performance in SI-HMP," *Proc. of the Workshop on Power-Aware Computing and Systems*, pp. 1-5, 2015.
- [2] G. J. Sullivan, J.-R. Ohm, W.-J. Han, and T. Wiegand, "Overview of the High Efficiency Video Coding (HEVC) Standard," *IEEE Transactions on Circuits and Systems for Video Technology*, Vol. 22, No. 12, pp. 1649-1668, Dec. 2012.
- [3] F. Bossen, B. Bross, K. Suhiring, and D. Flynn, "HEVC Complexity and Implementation Analysis," *IEEE Transactions on Circuits and Systems for Video Technology*, Vol. 22, No. 12, pp. 1685-1696, Dec. 2012.
- [4] H. Ahn, and S. Jeonlg, "Power-Minimizing DVFS Algorithm Using Estimation of Video Frame Decoding Complexity," *The Journal of Korean Institute of Communications and Information Sciences*, Vol. 38B, No.01, pp.46-53, Jan. 2013.
- [5] H. Baik, and H. Song, "A complexity-based adaptive tile partitioning algorithm for HEVC decoder parallelization," *Proc. of IEEE International Conference on Image Processing (ICIP)*, pp. 4298-4302,

2015.

- [6] H.-J. Roh, Y. Ryu, E.-S. Ryu, "Video Decoding Complexity Analysis Based on HEVC Resolution," *Proc. of Fall Conference of Korea Information Processing Society (KIPS)*, pp.1603-1606, 2015.



류 영 일

2016년 가천대학교 컴퓨터공학과 학사
2016년~현재 가천대학교 컴퓨터공학과 석사과정. 관심분야는 멀티미디어 통신 및 시스템, 비디오 코딩 및 국제표준, 햅틱 텔레프레젰스 시스템



노 현 준

2016년 가천대학교 컴퓨터공학과 학사
2016년~현재 가천대학교 컴퓨터공학과 석사과정. 관심분야는 멀티미디어 통신 및 시스템, 비디오 코딩 및 국제표준, 비디오 병렬처리 시스템



류 은 석

1999년, 2001년, 2008년 고려대학교 컴퓨터학과(학사, 석사, 박사). 2008년 고려대학교 정보통신기술연구소 연구교수. 2008년~2010년 미국 Georgia Institute of Technology(조지아공대) 박사후과정. 2011년~2014년 미국 InterDigital Labs의 Staff Engineer, 2014년~2015년 삼성전자 수석연구원(파트장), 2015년~현재 가천대학교 컴퓨터공학과 조교수. 현재 IEEE Senior Member, 관심분야는 멀티미디어 통신 및 시스템, 비디오 코딩 및 국제표준, 응용분야로는 HMD/VR